

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: G11C 11/407

(65) Publication No.: 1996-025777

(21) Application No.: 1995-052544

(43) Publication Date: 20 July 1996

(22) Application Date: 20 December 1995

(30) Priority No. JP19940318807 19941221

(73) Applicant: Nippon Electric Co (JP)

5-7-1, Shiba, Minato-ku, Tokyo, Japan

(72) Inventors:

OBA KAORI (JP)

(54) Title of the Invention:

Semiconductor Memory Device Having Precharge Circuit

Abstract:

Provided is a semiconductor device having a precharge control circuit for generating a precharge control signal, the precharge control signal being at an active level when all word lines do not indicate a high level and being at an inactive level when an access control signal (read control signal or write control signal) is input to the precharge control circuit for controlling a precharge circuit so as to precharge bit lines to a predetermined voltage.

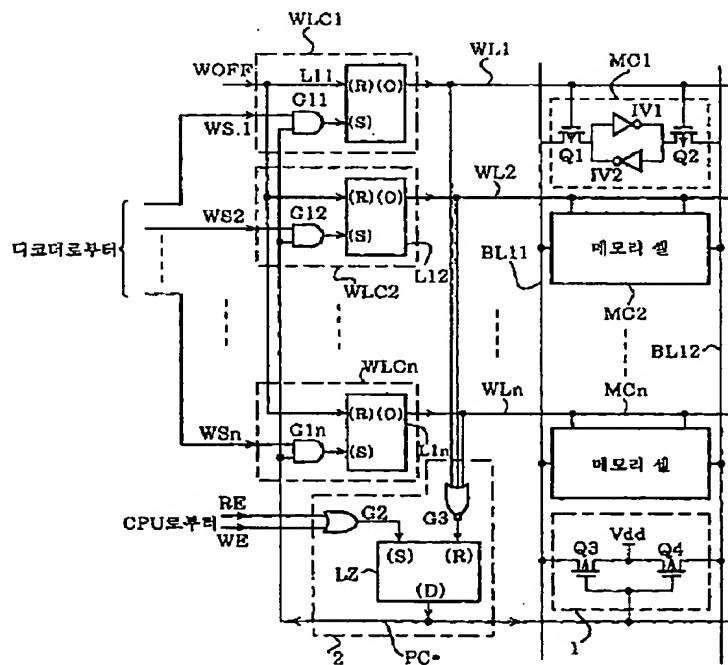
(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(51) Int. Cl. G11C 11/407	(45) 공고일자 1999년03월30일	특0172028
(21) 출원번호 특1995-052544	(11) 등록번호 1998년10월22일	특1996-025777
(22) 출원일자 1995년12월20일	(43) 공개일자 1996년07월20일	
(30) 우선권주장 94-318807 1994년12월21일 일본(JP)	(65) 공개번호 특1996-025777	
(73) 특허권자 닛본덴기 가부시끼가이샤, 가네고 하사시 일본	(46) 등록일자 1998년10월22일	
(72) 발명자 오바 가오리 일본	(47) 특허권자 일본국 도쿄도 미나도꾸 시바 5조메 7-1 장수길	
(74) 대리인 구영창	(48) 특허권자 일본국 도쿄도 미나도꾸 시바 5조메 7-1 닛본덴기 가부시끼가이샤 내	
(77) 심사청구 심사관: 오제육	(49) 특허권자 장수길	
(54) 출원명 프리차지 회로를 갖는 반도체 메모리 디바이스	(50) 특허권자 구영창	

요약

모든 워드 라인들이 하이 레벨을 나타내지 않을 때는 액티브 레벨로 되고 액세스 제어 신호(판독 제어 신호 또는 기입 제어 신호)가 소정의 전압으로 비트 라인들을 프리차징하도록 프리차지 회로를 제어하기 위해, 프리차지 제어 신호로 입력 될 때는 인액티브 레벨로 되는 프리차지 제어 신호를 발생시키는 프리차지 제어 회로를 가지는 것을 특징으로 하는 반도체 디바이스.

대표도



명세서

[발명의 명칭]

프리차지 회로를 갖는 반도체 메모리 디바이스

[도면의 간단한 설명]

제1도는 본 발명의 제1 실시예의 회로도.

제2도는 제1 실시예의 타이밍도.

제3도는 본 발명의 제2 실시예의 회로도.

제4a도 및 제4b도는 종래의 기술의 제1 예의 회로도.

제5도는 종래 기술의 제1 예의 타이밍도.

제6도는 종래 기술의 제2 예의 회로도.

제7도는 종래 기술의 제2 예의 타이밍도.

\* 도면의 주요부분에 대한 부호의 설명

1 : 프리챠징 회로                  2 : 프리챠지 신호 발생 회로

WLC1~WLCn : 워드 라인 레벨 제어 회로

G11 : 논리 게이트                  PC\* : 프리챠지 신호

L11 : 래치 회로                  WOFF : 워드 오프 신호

G3 : 논리 게이트                  Q3, Q4 : 트랜지스터

[발명의 상세한 설명]

본 발명은 반도체 메모리 디바이스에 관한 것이며, 보다 구체적으로 프리챠지 회로를 가진 반도체 메모리 디바이스에 관한 것이다.

최근에, 마이크로프로세서의 성능을 증가시키기 위해 메모리 디바이스 액세스 속도를 개선시킬 필요성이 대두되고 있다. 그러나, 메모리 용량이 증가됨으로 인해, 비트 라인 쌍 및 워드 라인에 접속된 메모리 셀의 수가 또한 증가되어 고속 동작의 실현이 어렵게 되고 있다. 이러한 이유로 인해, 한 쌍의 비트 라인을 동일 전위로 프리챠징한 후에 액세스 시간을 개선시킨 메모리 디바이스가 제안되고 있다.

이러한 기술은 일본국 특공소59-178684호에 개시되어 있다. 제4a도 및 제4b도는 어드레스 천이 검출기(ATD) 시스템을 가진 반도체 메모리 디바이스의 1컬럼(반도체 메모리 셀 어레이의 제1 칼럼)을 나타내는 블럭도 및 부분 회로도이다.

이 반도체 메모리 디바이스는 로우 방향 및 칼럼 방향[제4a도에는 1컬럼만이 표시되어 있음]으로 매트릭스 형태로 배열된 복수의 메모리 셀(MC1~MCn), 복수의 메모리 셀들이 선택 레벨에 있을 때 특정한 컬럼 내의 복수의 메모리 셀들을 선택적인 상태로 되게 하는 복수의 워드 라인(WL1~WLn), 대응하는 컬럼의 선택적인 상태에 있는 메모리 셀들에 대해 기입 데이터 및 판독 데이터를 전달하기 위해 복수의 메모리 셀의 각 컬럼들에 대응하여 제공되는 복수의 상호 관계가 있는 쌍[제4a도에는 하나의 쌍만이 표시되어 있다]의 제1비트 라인(BL11) 및 제2비트 라인(BL12), 기억된 데이터에 대응하는 판독 데이터를 제1 및 제2비트 라인 쌍들에 공급하고 비트 라인 쌍들로부터 메모리 셀들로 전달된 데이터를 전달 및 기억시키기 위해 선택적인 상태에 있는 메모리 셀들에 대한 부하로서 기능하는 부하 회로(4), 제1 및 제2 비트 라인 쌍들을 프리챠징 신호 PC\*(이하 \*는 로우 레벨이 액티브 레벨인 것을 표시한다)에 따라 공급 전위 Vdd로 프리챠징하는 프리챠징 회로(1), 및 어드레스 신호 AD(컴포넌트 비트 A1~Am과 함께)의 어드레스 값의 변화를 검출하여 프리챠징 신호 PC\*를 발생하는 프리챠징 신호 발생 회로(2)를 포함한다.

제4b도에 도시된 바와 같이 어드레스 변환 검출 회로(21)는 어드레스 신호 AD의 컴포넌트 비트 A1~Am의 각각에 대해 제공되며, 이 반도체 메모리 디바이스의 프리챠징 신호 발생 회로 또는 어드레스 변환 검출 회로(21)에서는 프리챠징 신호 PC\*가 이를 어드레스 변환 검출 회로(21)의 출력들 PC\*i('i'는 1 내지 m의 값을 나타낸다)를 적분함으로써 발생된다.

반도체 메모리 디바이스에서는, 일반적으로 메모리 셀 내의 데이터 파괴를 방지하기 위해, 모든 워드 라인들이 비 선택 레벨로 된 후, 특정한 워드 라인들이 선택 레벨로 된 후, 및 특정한 워드 라인들이 프리챠징이 완전 해제된 후에 선택 레벨로 된 후에 프리챠징이 개시된다. 따라서, 외부로부터 프리챠징 신호를 사용하여 프리챠징을 실행하는 반도체 메모리 디바이스에서는, 프리챠징 신호에, 내부 회로의 작동 시간을 고려하여, 모든 워드 라인의 비선택 레벨로의 세팅시로부터 프리챠징의 개시시까지, 그리고 프리챠징의 해제로부터 워드 라인의 선택까지의 시간에 특정한 시간의 마진(margin)정도가 제공된다.

이러한 이유로, 종래의 기술에서는 제5도에 도시된 바와 같이 로우 레벨로의 어드레스 신호 AD의 컴포넌트 비트의 변화를 검출한 후 프리챠징 신호 PC\*를 활성 레벨로 되게 함으로써 프리챠징이 개시되는 구성을 취하고 있기 때문에, 비선택 레벨로의 모든 워드 라인의 개시로부터 프리챠징의 개시시까지의 시간 마진이 감소되어 이에 상응하여 동작 속도가 증가되도록 하였다.

그러나, 이러한 반도체 메모리 디바이스의 경우에도 상술한 디바이스의 구성 대문에, 프리챠징 신호 PC\*의 레벨 변화의 타이밍 및 워드 라인의 레벨 변화의 타이밍 t1 및 t2에 대하여 특정한 마진 정도를 모든 메모리 셀들에게 주기 위해 프리챠징 신호 PC\*를 발생시켜야 할 필요성이 있다. 이러한 사실 때문에 작동 속도를 더욱 증가시키기는 어렵다.

간단한 회로 구성과, 워드 라인들의 레벨 변화를 직접 검출한 후에 프리챠징 신호를 발생시키는 ATD 시스템의 반도체 메모리 디바이스의 동작 속도보다 한층 고속의 동작 속도를 얻을 수 있게 한 디바이스의 예가 종래 기술에 또한 제안되어 있다.

제6도를 참조하면, 이 반도체 메모리 디바이스는 복수의 워드 라인 WL1~WLn의 신호 레벨들을 OR형 논리 게이트 G11로 직접 수신하며 출력은 프리챠징 신호 PC\*.

를 채용하고 있다. 제7도에 도시된 바와 같이, 고속 동작이 가능하게 되며 회로가 더욱 간단해 질 수 있다. 그러나, 프리차징 신호 PC\*의 레벨 변화와 워드 라인의 레벨 변환간에는 절대적으로 마진이 없다.

상술한 종래 기술의 반도체 메모리 디바이스에서, 제1 예의 구성은 어드레스 신호 AD의 컴포넌트 비트 A1~Am의 레벨 변화를 검출함에 따라 프리차징 신호 PC\*를 발생시키도록 한 것이다. 따라서, 프리차징 신호 PC\*의 레벨 변화의 타이밍과 워드 라인의 레벨 변환의 타이밍간의 마진이 외부에서 프리차징 신호를 수신함에 따라 동작되는 반도체 메모리 디바이스의 경우와 비교하여 감소될 수 있어서 동작 속도가 이에 상응하여 증가될 수 있다. 그럼에도 불구하고, 워드 라인들의 레벨 변화가 직접 검출되지 않기 때문에 여전히 2개의 타이밍에 대하여 특정한 마진의 정도를 제공할 필요가 있음으로, 동작 속도의 향상을 실현하는데 있어서의 어려움이 낳아 있다.

한편, 제2 예의 구성은 워드 라인들의 레벨 변화를 직접 검출함에 따라 프리차징 신호 PC\*를 발생시키도록 한 것이다. 따라서, 2개의 타이밍에 대하여 절대적으로 마진이 없게 되어 동작 속도의 증가 및 회로 구성을 간단화 할 수 있다. 그럼에도 불구하고, 프리차징의 해제로의 천이시에, 워드 라인들의 선택 레벨의 변화의 검출 후에 프리차징 신호 PC\*가 역활성화 레벨로 되기 때문에, 워드 라인들의 선택 레벨로 인해 셀들과 비트 라인들의 접속 타이밍이 프리차징의 해제로의 천이 타이밍과 중첩되므로 메모리 셀들의 기억된 내용을 파괴시킬 가능성이 있다.

따라서, 본 발명의 목적은 액세스 시간 및 프리차징 시간을 감소시킬 수 있고 프리차징 단계동안 기억된 데이터를 파괴로부터 보호할 수 있는 메모리 디바이스를 제공하는 것이다.

상기 목적을 달성하기 위해, 본 발명은 복수의 워드 라인, 각각이 비트 라인에 접속되어 있으며 대응하는 워드 라인에 접속된 복수의 메모리 셀, 비트 라인들을 프리차지 제어 신호의 액티브 레벨에 대응하는 소정의 전압으로 프리차징하는 프리차지 회로, 및 프리차지 제어 신호를 발생시키는 프리차지 제어 회로를 구비하며, 상기 프리차지 제어 신호는 모든 워드 라인들이 비선택 레벨을 나타낼 때는 액티브 레벨로 되고, 액세스 제어 신호가 프리차지 제어 회로로 입력될 때는 인액티브 레벨로 되는 것을 특징으로 한다.

따라서, 메모리 셀들의 기억된 데이터의 파괴가 비트 라인의 프리차징 동작에 의해 방지될 수 있다.

또, 프리차징 개시 주기 및 프리차징 해제로의 천이 주기를 감소시킬 수 있기 때문에 1액세스 사이클 내에서 메모리 셀 선택시의 액세스 주기와 비트 라인 프리차징 주기간의 연결이 절대적으로 최소 시간에 이루어지게 되어 본 발명은 동작 속도의 향상을 실현할 수 있는 효과를 갖는다.

본 발명의 상술한 목적 및 기타 제반 특징들은 첨부하는 도면과 관련된 다음의 설명으로부터 보다 명백하게 드러나게 될 것이다.

이하 첨부 도면을 참조하여 본 발명을 설명하도록 하겠다.

제1도를 참조하여 설명하면, 제1 실시에는 워드 라인들 중 대응하는 하나에 접속된 복수의 워드 라인 레벨 제어 회로 WLC1~WLCn과, 복수의 프리차징 회로(1)에 접속된 프리차지 신호 발생회로(2)를 갖는다.

워드 라인 레벨 제어 회로 WLC1~WLCn을 설명하기 위해, 워드 라인 레벨 제어 회로 WLC1이 이 부부냉 예로서 사용되었다. 워드 라인 레벨 제어 회로 WLC1이 래치 회로 L11 및 논리 게이트 G11을 갖는다. 논리 게이트 G11은 프리차지 신호 발생 회로(2)로부터 프리차지 신호 PC\* 및 디코더로부터 워드 라인 선택 신호 WS1을 수신하고, 프리차지 신호 PC\* 및 워드 라인 선택 신호 WB1에 따른 세트 신호를 출력한다. 워드 라인 레벨 제어 회로 WLC1은 래치 회로 L11를 리세팅하기 위해 워드 오프(word off) 신호 WOFF를 수신하는 리세트 터미널과, 래치 회로 L11를 리세팅하기 위해 논리 게이트 G11로부터 세트 신호를 수신하는 세트 터미널과, 워드 라인 WL1에 접속된 출력 터미널을 갖는다. 워드 라인 레벨 제어 회로 WLC1은 워드 라인 선택 신호 WS1 및 프리차징 신호 PC\* 가 하이 레벨일 때 워드 라인 WL1(하이 레벨)을 활성화하고, 워드 오프 신호가 하이 레벨일 때 워드 라인 WL1(로우 레벨)을 비활성화한다.

프리차지 신호 발생 회로(2)는 OR형 논리 게이트 G2, NOR형 논리 게이트 G3 및 래치 회로 L2를 갖는다. 논리 게이트 G2는 중앙 제어 유닛(CPU)로부터 판독 인에이블 신호 및 기입 인에이블 신호를 수신하고 래치 회로(L2)를 세트한다. 논리 게이트 G3는 워드 라인 WL1~WL<sub>n</sub>의 각각에 접속되며 워드 라인 WL1~WL<sub>n</sub>의 레벨에 따른 래치 회로 L2를 리세트 한다. 제2도를 참조하여 제1 실시예의 동작을 설명한다.

워드 오프 신호 WOFF는 모든 워드 라인 WL1~WL<sub>n</sub>을 강제적으로 비선택 레벨(로우 레벨)로 되게 하는 신호이며, 모든 래치 회로 L11~L1<sub>n</sub>은 활성 레벨에 대한 반응의 결과가 워드 오프 신호 WOFF의 하이 레벨일 때 리세트되어, 그의 로우 레벨은 유지된다. 래치 회로 L1~L1<sub>n</sub>의 출력 터미널의 각각에 대응하는 워드 라인(예를 들면, WL1)에 접속되어 있어서, 워드 라인(WL1)은 로우 레벨의 비선택 레벨로 된다.

논리 게이트 G3는 래치 회로 L2가 로우 레벨을 유지하는 경우에는 모든 워드 라인 WL1~WL<sub>n</sub>이 비선택 레벨(로우 레벨)로 세트될 때 하이 레벨 신호를 출력함으로써 로우 레벨로 래치 회로(L2)를 리세트한다. 래치 회로(L2)의 출력이 프리차징 신호 PC\*로서 사용됨으로, 프리차징 신호 PC\*는 활성(로우) 레벨로 유지되는 동안 프리차징 회로(1)의 트랜지스터 Q3 및 Q4를 구동시키고, 비트 라인 BL11 및 BL12를 전원의 전위 Vdd의 레벨로 프리차지 한다.

프리차지의 해제는 기입 신호 WE 및 판독 RE의 활성화에 반응하여 발생된다. 기입 신호 WE 및 판독 신호 RE가 OR형 논리 게이트 G2로 출력되므로, 논리 게이트 G2의 출력은 기입 신호 WE 및 판독 신호 RE 중 어느 하나가 활성 레벨(하이 레벨)로 될 때 하이 레벨로 되고, 래치 회로 L2는 하이 레벨로 세트된다. 따라서, 프리차징 신호 PC\*가 하이 레벨의 비활성 레벨로 유지되어 프리차징을 완료(해제) 한다.

프리차징 신호 PC\*

의 하이 레벨에 반응하여, 워드 라인 신호 WS1~WSn이 대응하는 논리 게이트 G1를 통과하여 대응하는 래치 회로 L11~L1n의 세트 터미널로 입력된다. 이와 같은 경우에, 워드 라인 선택 신호 WS1~WSn 중 선택 레벨(하이 레벨)에 있는 워드 라인 선택 신호(예를 들면, WS2)가 세트되고, 대응하는 래치 회로 L11~L1n을 하이 레벨(선택 레벨)로 유지하며, 동시에 래치 회로 L11~L1n의 출력 신호를 수신하는 워드 라인(WL2)이 선택 레벨로 된다.

이어서, 선택 레벨에 있는 워드 라인 WL2에 접속된 메모리 셀 MC2에 기억된 데이터를 비트 라인 BL11 및 BL12로 판독해내도록 선택적 상태로되고, 비트 라인 BL11 및 BL12상에 전달된 기입 데이터를 메모리 셀 MC2 속에 기입한다.

그 후에, 워드 오프 신호 WOFF가 활성 레벨로 다시 될 때 모든 워드 라인 WL1~WLn이 래치 회로 L11~L1n에 의해 비선택 레벨로 되고 모든 메모리 셀 MC1~MCn이 상술한 바와 같이 비선택적 상태로 된다. 래치 회로(L2)는 모든 워드 라인 WL1~WLn의 비선택 레벨에 반응하여 리세트되고, 그 출력, 즉 프리차징 신호 PC\* 가 로우 레벨의 활성 레벨로 되며, 비트 라인 BL11 및 BL12에 대한 프리차징이 개시된다. 그 후에는 상술한 동작이 반복된다.

제1 실시예에서, 비트 라인 BL11 및 BL12의 프리차징의 개시시에, 메모리 셀 MC1~MCn의 선택적 상태 및 비선택적 상태를 제어하는 워드 라인 WL1~WLn의 레벨은 논리 게이트 G3에 의해 직접 경출되고, 래치 회로(L2)는 리세트되어, 프리차징 신호 PC\*는 모든 워드 라인 WL1~WLn이 비선택 레벨로 되고, 논리 게이트 G3의 출력이 하이 레벨로 될 때 활성 레벨로 된다. 따라서, 프리차징 신호 PC\*가 활성 레벨로 되는 타이밍에서, 모든 메모리 셀 MC1~MCn은 이미 비선택 상태로 된다. 그 외에도, 프리차징의 해제로의 천이시에 프리차징 신호 PC\*가 역활성화 레벨의 하이레벨로의 천이가 논리 게이트 G1의 게이트를 개방하여 워드 라인 선택 신호 WS1~WSn을 대응하는 래치 회로 L11~L1n의 세트 단지 S에 공급하게 하며, 이를 워드 라인 선택 신호 WS1~WSn중 선택 레벨에 있는 워드 라인 선택 신호에 대응하는 래치 회로 L11~L1n은 세트되고, 이를 래치 회로들의 출력단의 신호들은 대응하는 워드 라인을 선택 레벨로 되게 한다. 따라서, 이를 워드 라인들이 선택 레벨로 세트되는 타이밍시에, 비트 라인 BL11 및 BL12의 프리차징이 이미 확실하게 프리차징 신호 P\*의 역활성화 레벨에 의해 해제되어 있기 때문에 비트 라인 BL11 및 BL12의 프리차징 동작으로 인해 메모리 셀 MC1~MCn의 기억된 내용의 파괴는 발생되지 않는다.

또, 프리차징 신호 PC\*의 레벨이 래치 회로(L2)에 의해 일정하게 되어, 워드 라인들 중 적어도 하나가 노이즈 또는 몇가지 다른 이유에 근거하여 하이 레벨로 될 때에도 프리차징 회로(1)의 오동작이 발생되지 않는다. 이와 유사하게, 워드라인 WL1~WLn의 레벨들이 래치 회로 L11~L1n에 의해 일정하게 되어, 적어도 워드 라인 선택 신호 WS1~WSn이 노이즈 또는 몇가지 다른 이유에 근거하여 하이 레벨로 될 때에도 메모리 셀 MC1~MCn을 선택하는 오동작이 발생되지 않는다.

또한, 비선택 레벨로의 모든 워드 라인의 개시시로부터 활성 레벨로의 프리차징 신호 PC\*의 천이까지의 시간 주기, 및 역활성화 레벨로의 프리차징 신호 PC\*의 천이로부터 특정한 워드 라인이 선택 레벨로 되는 시간 주기는 절대적으로 최소의 회로 소자수에 의해 제어된다. 그 외에도, 프리차징 신호 PC\*의 활성 레벨이 워드 라인의 비선택 레벨의 직접 경출에 의해 제어되고, 워드 라인의 선택 레벨이 프리차징 신호의 역활성화 레벨에 의해 직접 제어된다. 따라서, 종래 기술의 경우에서와 같이 동작 타이밍에 대한 마진을 설정할 필요가 없게 되어 동작 속도의 개선이 달성된다.

아울러, 워드 오프 신호 WOFF의 제1활성 레벨로부터 다음 활성 레벨까지의 시간 주기, 즉 1액세스 사이클 주기가 메모리 셀 선택시의 액세스 주기(액세스 주기) 및 비트 라인 BL11 및 BL12의 프리차징 주기에 의해 세트된다. 액세스 주기 및 프리차징 주기 양자는 메모리의 하드웨어 구조에 의해 정해진다.

제3도에 따라 본 발명의 제2 실시예를 설명하도록 하겠다.

반도체 메모리 디바이스에는 일반적으로 외부로부터 비트 라인 BL11 및 BL12로 기입 데이터를 전달하기 위한 기입 버퍼 회로가 제공된다. 이 실시예에서, 기입 버퍼 회로(3)에 의해 기입 데이터 D111 및 D112를 비트 라인 BL11 및 BL12로의 전달은 기입 신호 WE가 활성 레벨(하이 레벨)일 때 그리고 프리차징 신호 PC\*가 역활성화 레벨일 때만 발생되도록 배열된다. 즉, 기입 버퍼 회로는 기입 데이터 WE 및 프리차징 신호 PC\*를 입력하는 AND형의 논리 게이트 G4, 및 논리 게이트 G4의 출력 신호가 역활성 레벨일 때 논리 게이트 G4의 출력단과 비트라인 BL11 및 BL12간의 임피던스를 상승시킴에 의해 기입 데이터 D111 및 D112를 비트 라인 BL11 및 BL12로 전달하는 3상태(tristate)형의 버퍼 증폭기(BA1, BA2)로 구성된다.

이러한 구성에 의해, 프리차징 주기 동안 버퍼 증폭기(BA1, BA2)의 출력 신호에 인한 비트 라인 BL11 및 BL12의 프리차징 레벨의 방해를 방지하는 것이 가능하다.

본 기술 분야에 속력된 자는 본 발명의 영역 및 정신에 벗어나지 않고 여러가지 다른 변형 실시예가 용이하게 행해질 수 있음을 이해할 수 있을 것이다. 따라서, 본 명세서에 제시된 설명으로 청구 범위의 영역을 제한하지 않고, 본 발명에 속하는 모든 특징을 포함하도록 청구 범위가 해석되도록 할 작정이다.

## (57) 청구의 범위

### 청구항 1.

복수의 워드 라인, 각각이 적어도 하나의 비트라인에 접속되어 대응하는 워드 라인들에 접속된 복수의 메모리 셀, 상기 적어도 하나의 비트 라인을 프리차지 제어 신호의 액티브 레벨에 대응하는 소정의 전압으로 프리차징하는 프리차지 회로, 상기 모든 복수의 워드 라인이 비선택적 레벨일 때 상기 액티브 레벨로 되고 액세스 제어 신호가 프리차지 제어 회로로 입력될 때 인액티브 레벨로 되는 상기 프리차지 제어 신호를 발생시키는 프리차지 제어 회로, 및 상기 복수의 워드 라인 중 대응하는 워드 라인의 레벨을 제어하고, 워드 라인 선택 신호 및 상기 프리차지 제어 신호를 수신하여, 상기 프리차지 제어 신호가 상기 인액티브 레벨일 때 상기 워드 라인 선택 신호에 대응하는 상기 복수의 워드 라인 중 하나의 워드 라인을 활성화시키는 워드 라인 제어 회로를 구비하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 2.

제1항에 있어서, 상기 적어도 하나의 비트 라인은 제1 및 제2비트 라인을 포함하며, 상기 메모리 셀들은 상기 제1 비트 라인과 상기 제2 비트 라인 사이에 접속되는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 3.

제2항에 있어서, 상기 프리챠징 회로는, 상기 제1비트 라인과 제1노드간에 접속되어 있으며, 게이트가 상기 프리챠지 제어 신호를 수신하는 제2노드에 접속되어 있는 제1트랜지스터, 상기 제2비트 라인과 상기 제1노드간에 접속되어 있으며, 게이트가 상기 제2노드에 접속되어 있는 제2트랜지스터를 구비하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 4.

제1항에 있어서, 상기 프리챠징 제어 회로는, 상기 모든 복수의 워드 라인이 상기 비선택 레벨일 때를 검출하여 검출 신호를 출력하기 위해 상기 모든 워드 라인에 접속된 게이트 회로, 상기 검출 신호를 리세트 터미널로, 상기 액세스 제어 신호를 세트 터미널로 수신하며 상기 검출 신호가 상기 리세트 터미널로 입력될 때 상기 액티브 레벨의 상기 프리챠징 제어 신호를 출력하고, 상기 제어 신호가 상기 세트 터미널로 입력될 때 상기 인액티브 레벨의 상기 프리챠지 제어 신호를 출력하는 제1 래치 회로를 포함하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 5.

제1항에 있어서, 상기 워드 라인 제어 회로는, 상기 워드 라인 선택 신호 및 상기 프리챠징 제어 신호를 제2세트 터미널로, 워드 라인 오프 신호를 제2리세트 터미널로 수신하며, 상기 프리챠지 제어 신호가 상기 인액티브 레벨이고 상기 워드 라인 선택 신호가 상기 선택 레벨일 때 상기 워드 라인을 활성화하는 제2 래치 회로를 포함하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 6.

제5항에 있어서, 상기 워드 라인 오프 신호는 상기 메모리 셀을 액세스 주기와 상기 비트 라인을 상기 소정의 전압으로 프리챠징하는 주기에 의해 정해진 사이클을 갖는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 7.

제5항에 있어서, 상기 워드 라인 제어 회로는 상기 제2의 세트 터미널에 접속되어 있으며 상기 워드 라인 선택 신호 및 상기 프리챠지 제어 신호를 각각 제1 및 제2 입력 터미널로 수신하는 AND 게이트를 포함하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 8.

복수의 워드 라인, 각각이 적어도 하나의 비트 라인에 접속되며 대응하는 워드 라인들에 접속된 복수의 메모리 셀, 상기 적어도 하나의 비트 라인을 프리챠지 제어 신호의 액티브 레벨에 대응하는 소정의 전압으로 프리챠징하는 프리챠지 회로, 및 상기 모든 워드 라인이 비선택적 레벨을 나타낼 때 상기 액티브 레벨로 되고 액세스 제어 신호가 프리챠지 제어 회로로 입력될 때 인액티브 레벨로 되는 상기 프리챠지 제어 신호를 발생시키는 프리챠지 제어 회로를 구비하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 9.

복수의 워드 라인, 각각이 적어도 하나의 비트 라인에 접속되며 대응하는 워드 라인들에 접속된 복수의 메모리 셀, 상기 적어도 하나의 비트 라인을 프리챠지 제어 신호의 액티브 레벨에 대응하는 소정의 전압으로 프리챠징하는 프리챠지 회로, 상기 모든 워드 라인이 비선택적 레벨을 나타낼 때 상기 액티브 레벨로 되고 액세스 제어 신호가 프리챠지 제어 회로로 입력될 때 인액티브 레벨로 되는 상기 프리챠지 제어 신호를 발생시키는 프리챠지 제어 회로, 및 상기 프리챠지 제어 신호가 강기 인액티브 레벨로 되고 기입 제어 신호가 액티브 레벨로 될 때 데이터를 상기 메모리 셀들에 기입하고 상기 프리챠지 제어 신호 중 하나가 상기 액티브 레벨로 되고 상기 기입 제어 신호가 인액티브 레벨로 될 때 상기 메모리 셀들로의 데이터의 기입을 금지하는 기입 버퍼 회로를 구비하는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 10.

제9항에 있어서, 상기 기입 제어 신호는 중앙 제어 유닛에 의해 발생되는 것을 특징으로 하는 반도체 디바이스.

#### 청구항 11.

제9항에 있어서, 상기 적어도 하나의 비트 라인은 제1 및 제2 비트 라인을 포함하고 상기 메모리 셀들은 상기 제1 비트 라인과 상기 제2 비트 라인간에 접속되는 것을 특징으로 하는 반도체 디바이스.

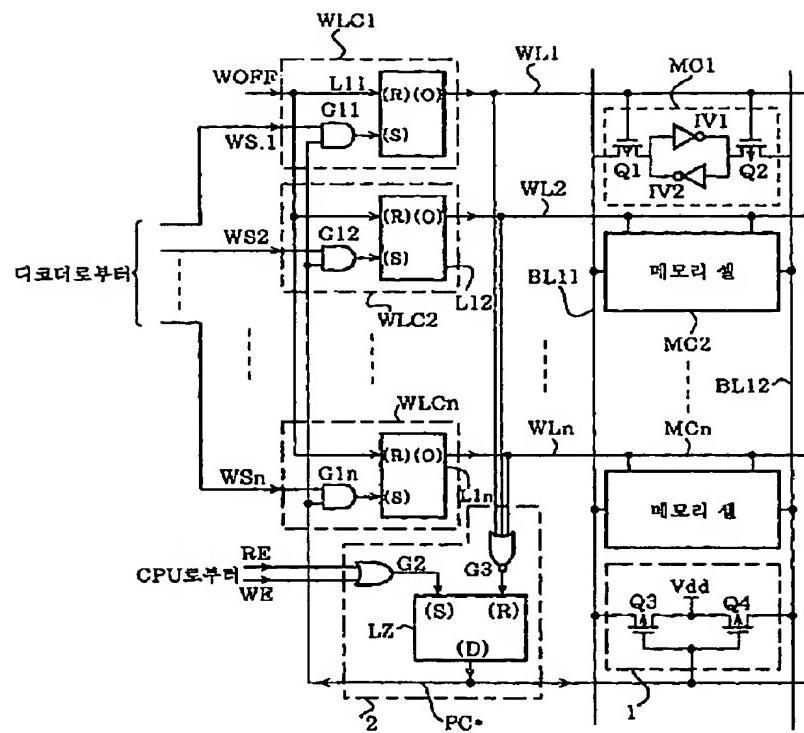
#### 청구항 12.

제11항에 있어서, 상기 프리챠징 회로는, 상기 제1비트 라인과 제1노드간에 접속되어 있으며, 게이트가 제2노드에 접속되어 있는 제1 트랜지스터, 상기 제2비트 라인과 상기 제1노드간에 접속되어 있으며, 게이트가 상기 제2노드에 접속되어 있는 제2트랜지스터를 구비하는 것을 특징으로 하는 반도체 디바이스.

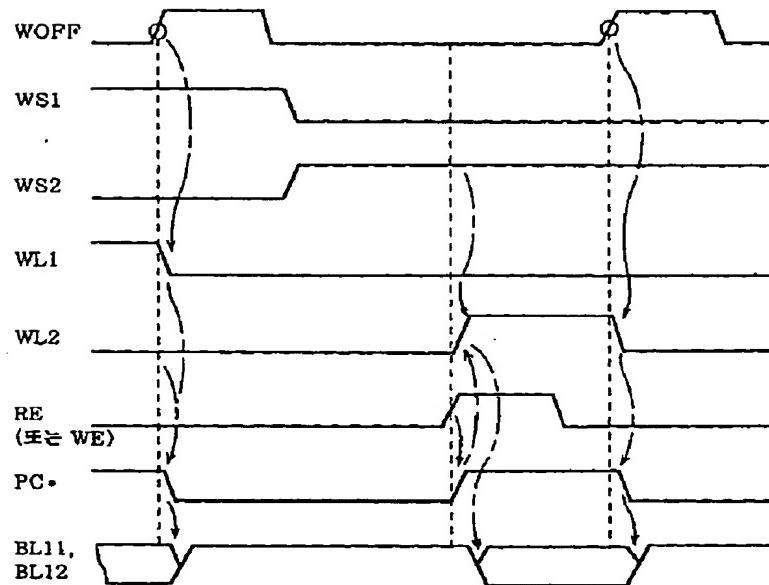
#### 청구항 13.

제9항에 있어서, 상기 프리챠징 제어 회로는, 상기 모든 워드 라인이 상기 비선택 레벨일 때를 검출하여 검출 신호를 출력하기 위해 상기 모든 복수의 워드 라인에 접속된 게이트 회로, 및 상기 검출 신호를 리세트 터미널로, 상기 액세스 제어 신호를 세트 터미널로 수신하며 상기 검출 신호가 상기 리세트 터미널로 입력될 때 상기 액티브 레벨의 상기 프리챠징 제어 신호를 출력하고, 상기 액세스 제어 신호가 상기 세트 터미널로 입력될 때 상기 인액티브 레벨의 상기 프리챠지 제어 신호를 출력하는 제1래치회로를 포함하는 것을 특징으로 하는 반도체 디바이스.

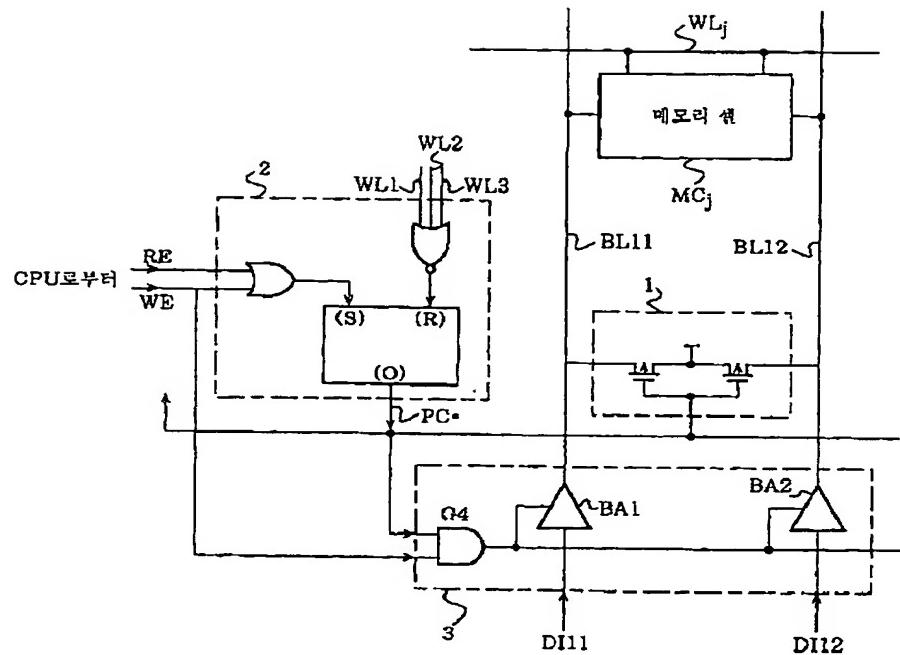
도면 1



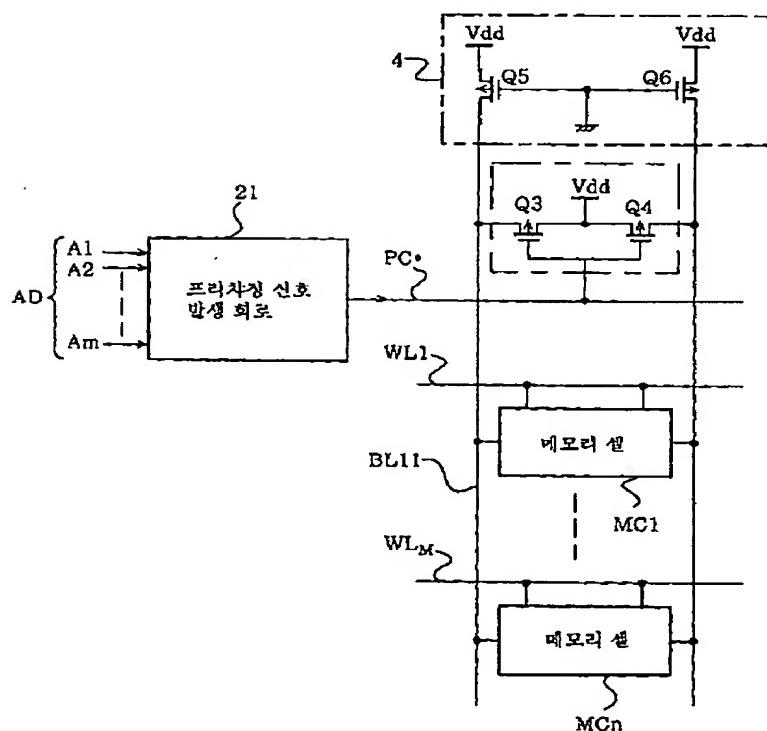
도면 2



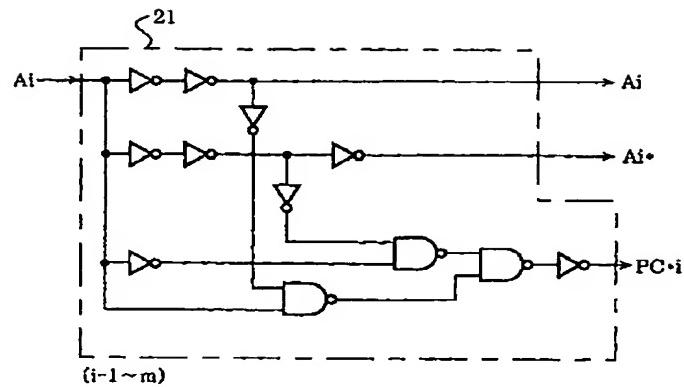
도연 3



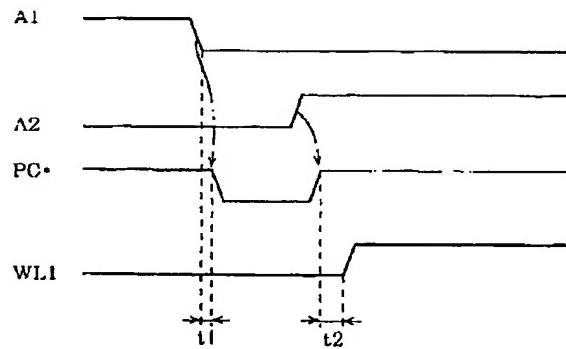
도면 4a



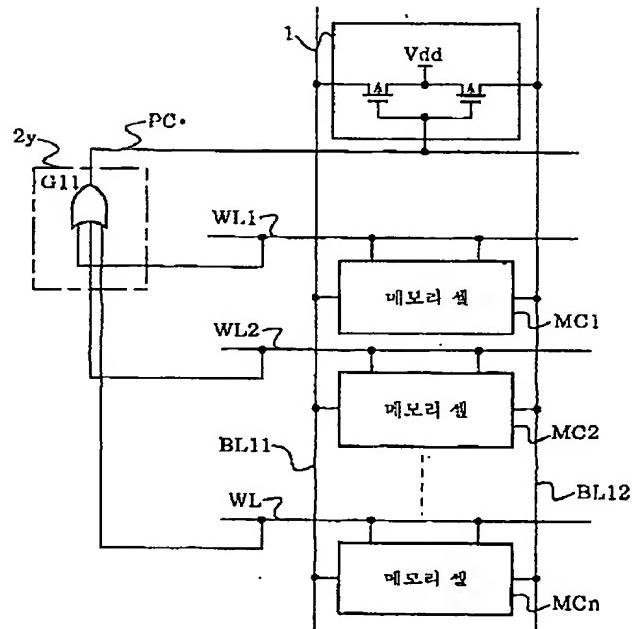
도면 4b



도면 5



도면 6



도면 7

